

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-124162

(43)Date of publication of application : 28.04.2000

(51)Int.Cl.

H01L 21/301  
G06K 19/077  
H01L 21/00

(21)Application number : 10-292047

(71)Applicant : NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

(22)Date of filing : 14.10.1998

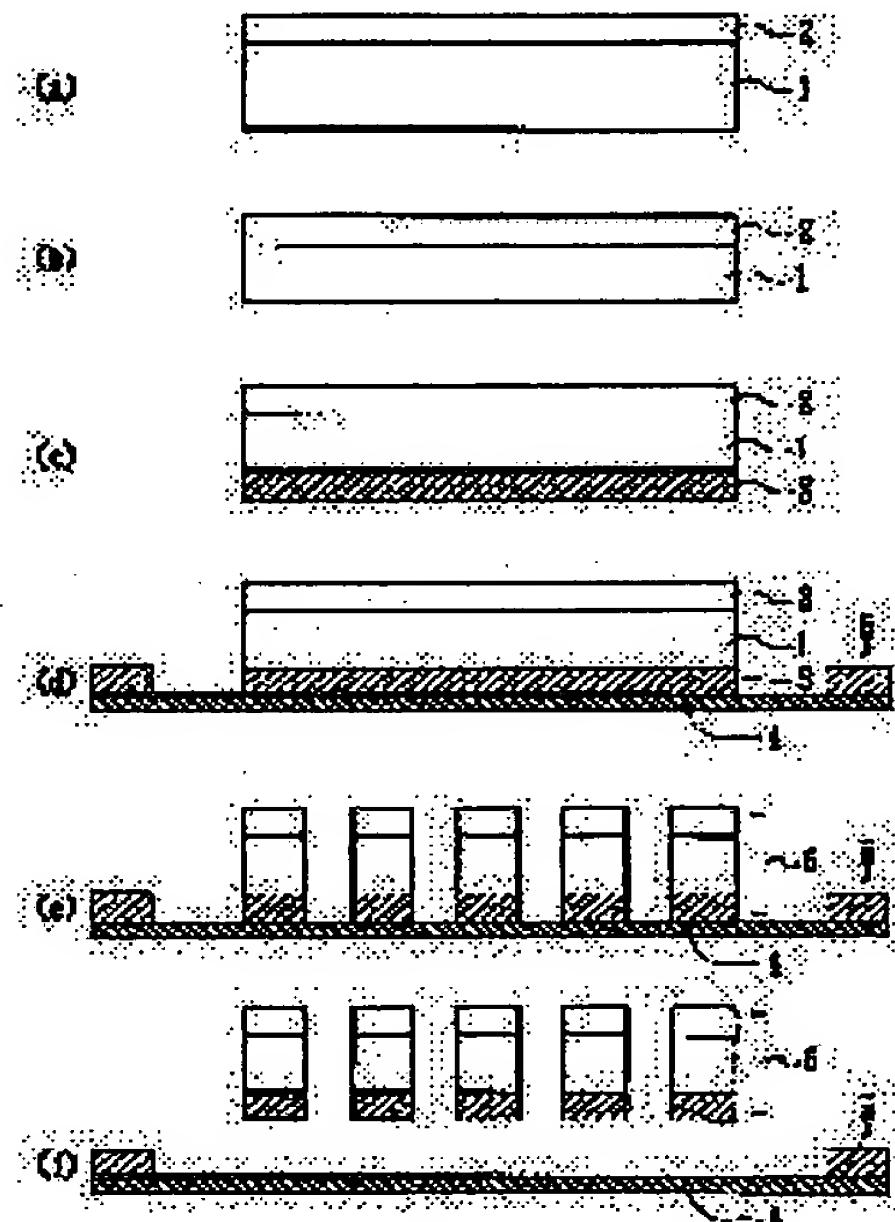
(72)Inventor : UNNO HIDEYUKI  
HENMI MANABU  
OFUJI SHINICHI  
MAEDA MASAHIKO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To readily mount a reinforcing sheet to chips for protecting the chips from external forces.

SOLUTION: A method of manufacturing a semiconductor device has a first step of forming an integrated circuit on a semiconductor substrate (wafer 1), a second step of forming the side of the backside of this substrate (wafer 1) into a thin layer after this first process, a third step of sticking a reinforcing sheet 3 having a size to cover the whole region of the backside which is formed into a thin layer and protects the integrated circuit from a force applied from the outside, on the backside formed into the thin layer of the substrate (wafer 1) after this second step, and a fourth process of splitting the substrate (wafer 1) into a plurality of integrated circuit chips (IC chips 6) by cutting simultaneously the substrate (wafer 1) and the sheet 3 after the third step.



## LEGAL STATUS

[Date of request for examination] 18.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3441382

[Date of registration] 20.06.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-124162

(P2000-124162A)

(43)公開日 平成12年4月28日(2000.4.28)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

キーワード(参考)

H 0 1 L 21/301

H 0 1 L 21/78

M 5 B 0 3 5

G 0 6 K 19/077

21/00

H 0 1 L 21/00

G 0 6 K 19/00

K

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21)出願番号

特願平10-292047

(22)出願日

平成10年10月14日(1998.10.14)

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72)発明者 海野 秀之

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 逸見 学

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74)代理人 100064621

弁理士 山川 政樹

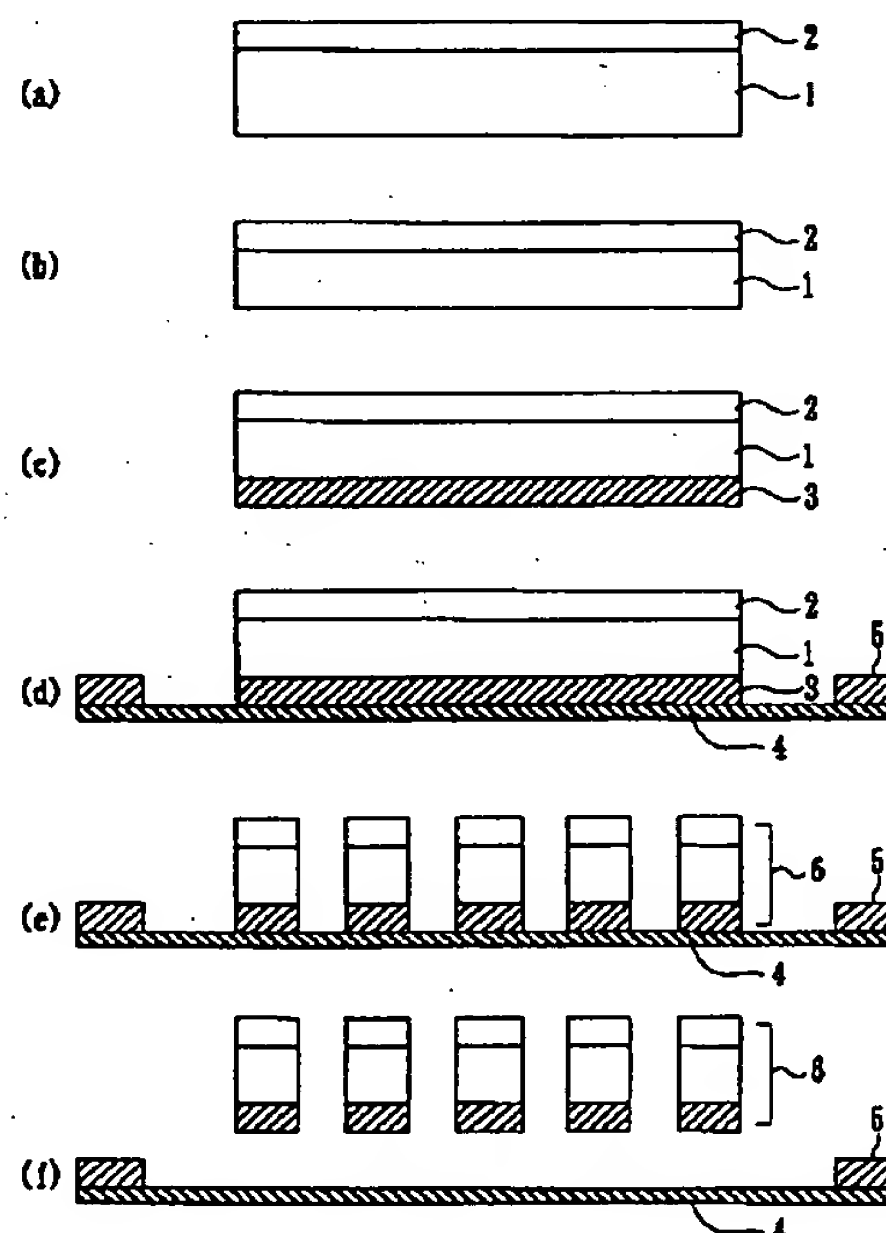
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 チップを外力から保護するための補強板を、容易にチップに取り付け可能とする。

【解決手段】 半導体基板(ウエハ1)に集積回路を形成する第1の工程と、この第1の工程の後に上記半導体基板(ウエハ1)の裏面側を薄層化する第2の工程と、この第2の工程の後に上記薄層化された半導体基板(ウエハ1)の裏面にこの裏面全域を覆う大きさを有しかつ外部より加わった力から上記集積回路を保護する補強板3を貼付する第3の工程と、この第3の工程の後に上記半導体基板(ウエハ1)および上記補強板3を同時に切断することにより上記半導体基板(ウエハ1)を複数の集積回路チップ(ICチップ6)に分割する第4の工程とを有するものである。



## 【特許請求の範囲】

【請求項 1】 半導体基板に集積回路を形成する第 1 の工程と、

この第 1 の工程の後に前記半導体基板の裏面側を薄層化する第 2 の工程と、

この第 2 の工程の後に前記薄層化された半導体基板の裏面にこの裏面全域を覆う大きさを有しかつ外部より加わった力から前記集積回路を保護する補強板を貼付する第 3 の工程と、

この第 3 の工程の後に前記半導体基板および前記補強板を同時に切断することにより前記半導体基板を複数の集積回路チップに分割する第 4 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板に集積回路を形成する第 1 の工程と、

この第 1 の工程の後に前記半導体基板の裏面側を薄層化する第 2 の工程と、

この第 2 の工程の後に前記薄層化された半導体基板の裏面にこの裏面全域を覆う大きさを有しかつ外部より加わった力から前記集積回路を保護する補強板を貼付する第 3 の工程と、

この第 3 の工程の後に前記半導体基板を切断してから前記補強板を切断することにより前記半導体基板を複数の集積回路チップに分割する第 4 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3】 半導体基板に集積回路を形成する第 1 の工程と、

この第 1 の工程の後に前記半導体基板の裏面側を薄層化する第 2 の工程と、

この第 2 の工程の後に前記半導体基板の集積回路の形成された面に前記半導体基板の全域を覆う大きさのダイシングテープを貼付する第 3 の工程と、

この第 3 の工程の後に前記ダイシングテープが切断されないようにしながら前記半導体基板を切断することにより前記半導体基板を複数の集積回路チップに分割する第 4 の工程と、

この第 4 の工程の後に前記分割された全ての集積回路チップの裏面にこれら全ての集積回路チップを覆う大きさを有しかつ外部より加わった力から前記集積回路を保護する補強板を貼付する第 5 の工程と、

この第 5 の工程の後に前記ダイシングテープが切断されないようにしながら前記各集積回路チップの輪郭に沿って前記補強板を切断する第 6 の工程と、

この第 6 の工程の後に前記集積回路チップを前記ダイシングテープから剥離する第 7 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 乃至 3 の何れか一項において、前記補強板は、金属からなる板部材もしくは高分子材料からなる板部材、または、金属からなる板部材および高分子材料からなる板部材を張り合わせたものであること

を特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 において、

前記補強板は、ステンレス合金、コパール、2・4アロイ、銅、タングステン、モリブデンまたはアルミニウムのうちの何れかの金属からなる板部材であることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 4 において、

前記補強板は、ポリイミド、ポリエチレンテレフタレート、ポリ塩化ビニール、ポリプロピレン、ポリテトラフルオロエチレンまたはアクリロニトリルブタジエンスチレンポリマーのうちの何れかの高分子材料からなる板部材であることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 乃至 6 の何れか一項において、前記集積回路チップは、ICカードに組み込まれるものであることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特にICカードに搭載される半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】現在、公衆電話機で使用されているテレフォンカード等においては、磁気カードが使用されているが、将来的にはICカードの使用が予定されている。

【0003】図4は、従来のICカードを示す断面図である。同図に示すように、集積回路チップ（以下、ICチップという）6はICカード基板10上にフリップチップ実装法で実装され、 bumps 8 側がアンダーフィル樹脂9で封止されてモジュールが構成されている。そして、このモジュールはカード基材11、12および13内に收容されてICカード14を構成している。

【0004】このようにICカードとは、樹脂製のカード内に種々のデータを蓄積したICチップが埋め込まれ、そのカード表面にICチップと接続された電極やコイル等を備えたものである。すなわち、この電極等を介して外部装置との間で接触または非接触の状態でデータの読み書きを可能とするものである。そして、このような構成のICカードは、データを電気信号に変えて蓄積するため、セキュリティ性が高く、さらにはより多くの情報を記憶保持できるという磁気カードにはない優れたメリットを有する。

【0005】さて、このようなICカードの多くは、カード基材がPET（ポリエチレンテレフタレート）や塩化ビニール等の樹脂で形成されており、上述のICチップはこれらのカード基材の中に埋め込まれることにより、外部からの応力および湿気等から保護されている。

【0006】また、現在使われているICカードの多くは、厚さが0.76mmのものが主流であるが、今後NTT（日本電信電話株式会社）が発行を予定しているICカードテレカに至っては、0.5mm程度になる見通

しである。もちろん、それよりもさらに薄い 0.25 mm 厚の IC カードの開発も既に進められている。

【0007】このように、IC カードの厚さは年々薄くなる傾向にあり、IC カードが薄くなれば当然のことながら、IC カード内に収容されている IC チップも薄くする必要がある。例えば、厚さが 0.76 mm の IC カードにおいては、収容される IC チップの厚さを 0.2 ~ 0.25 mm 程度としているが、厚さが 0.25 mm の IC カードにおいては、0.05 mm と極めて薄くする必要がある。

【0008】しかしながら、IC チップが薄くなるにつれて、作業中に割れたり、傷が入りやすくなったりして、ハンドリングや実装工程中にウエハや IC チップが使用不能となる確率が上昇するという問題が発生する。すなわち、IC チップの製造段階および実装段階のあらゆる作業において、慎重に行わなければならない作業効率が悪くなり、当然 IC チップの実装工程における歩留まりは低下してしまう。

【0009】さらに、IC チップが薄くなることにより、IC カードの耐久性が低下しやすくなる。すなわち、厚いカードであれば曲げようとしても簡単には曲がらず IC チップに対しても応力がかかることはないが、薄いカードではカード自身が曲がり易く IC チップに曲げ応力がかかるようになってしまう。確かに IC カードが薄くなるとともに、IC チップ自身も薄くなって曲がり易くなっているが、それでもシリコンと PET のような高分子材料とを比較した場合、シリコンの方が曲がりにくく、IC チップは壊れ易いといえる。

【0010】このため、従来より IC カード内の薄膜 IC チップを外力から保護するための種々の対策が講じられてきた。例えば、特開平 3-158296 号公報では、IC チップに補強板を取り付け、補強板を介して実装基板に固定する構造が提案されている。また、特開平 8-324166 号公報でも IC チップの端子面とは異なる面に予め補強材を取り付けた IC モジュール構造が提案されている。

【0011】さらに、IC チップへの補強材の取り付け方法としては、分割された IC チップへ IC チップの大きさに形成された補強板を 1 つ 1 つ貼りつける方法が行われていたが、処理時間が増加し、コスト増という問題があったため、特開平 9-263082 号公報には、補強材の貼りつけ時間の短縮を図る方法について開示されている。

【0012】すなわち、IC チップを形成したウエハをチップ毎に分割した後、この分割されたチップをウエハ形状のまま転写シートに固定し、さらに予めチップ同様に配列および分割した補強板を別の転写シートに固定しておき、両者を重ね合わせて接着するものである。この方法によれば、補強材の貼りつけがウエハの状態で行えるため、貼りつけ時間を短縮することが可能である。ま

た、実装時において、補強材が取り付け済みの IC チップを使用するため、薄膜 IC チップでも実装工程での取り扱いが容易になる。

【0013】

【発明が解決しようとする課題】しかしながら、特開平 9-263082 号公報の方法においては、転写シートを重ね合わせるときの位置合わせが必要であり、また位置合わせに失敗すると 1 度に多くの IC チップが不良品となってしまい、損害が多くなるという新たな問題が生じるようになった。また、正確な位置合わせを行うためには、従来の実装工程の装置に加えて新たな位置合わせ機構を持った重ね合わせ装置が必要となり、設備コスト増の要因となる。

【0014】本発明は、このような課題を解決するためのものであり、チップを外力から保護するための補強板を、容易にチップに取り付け可能とする半導体装置の製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】このような目的を達成するために、請求項 1 に係る本発明の半導体装置の製造方法は、半導体基板に集積回路を形成する第 1 の工程と、この第 1 の工程の後に上記半導体基板の裏面側を薄層化する第 2 の工程と、この第 2 の工程の後に上記薄層化された半導体基板の裏面にこの裏面全域を覆う大きさを有しかつ外部より加わった力から上記集積回路を保護する補強板を貼付する第 3 の工程と、この第 3 の工程の後に上記半導体基板および上記補強板を同時に切断することにより上記半導体基板を複数の集積回路チップに分割する第 4 の工程とを有するものである。

【0016】また、請求項 2 に係る本発明の半導体装置の製造方法は、半導体基板に集積回路を形成する第 1 の工程と、この第 1 の工程の後に上記半導体基板の裏面側を薄層化する第 2 の工程と、この第 2 の工程の後に上記薄層化された半導体基板の裏面にこの裏面全域を覆う大きさを有しかつ外部より加わった力から上記集積回路を保護する補強板を貼付する第 3 の工程と、この第 3 の工程の後に上記半導体基板を切断してから上記補強板を切断することにより上記半導体基板を複数の集積回路チップに分割する第 4 の工程とを有するものである。

【0017】また、請求項 3 に係る本発明の半導体装置の製造方法は、半導体基板に集積回路を形成する第 1 の工程と、この第 1 の工程の後に上記半導体基板の裏面側を薄層化する第 2 の工程と、この第 2 の工程の後に上記半導体基板の集積回路の形成された面に上記半導体基板の全域を覆う大きさのダイシングテープを貼付する第 3 の工程と、この第 3 の工程の後に上記ダイシングテープが切断されないようにしながら上記半導体基板を切断することにより上記半導体基板を複数の集積回路チップに分割する第 4 の工程と、この第 4 の工程の後に上記分割された全ての集積回路チップの裏面にこれら全ての集積



回路チップを覆う大きさを有しかつ外部より加わった力から上記集積回路を保護する補強板を貼付する第5の工程と、この第5の工程の後に上記ダイシングテープが切断されないようにしながら上記各集積回路チップの輪郭に沿って上記補強板を切断する第6の工程と、この第6の工程の後に上記集積回路チップを上記ダイシングテープから剥離する第7の工程とを有するものである。

【0018】また、請求項4に係る本発明の半導体装置の製造方法は、請求項1乃至3の何れか一項において、上記補強板は、金属からなる板部材もしくは高分子材料からなる板部材、または、金属からなる板部材および高分子材料からなる板部材を張り合わせたものの何れかである、ものである。

【0019】また、請求項5に係る本発明の半導体装置の製造方法は、請求項4において、上記補強板は、ステンレス合金、コバール、2・4アロイ、銅、タングステン、モリブデンまたはアルミニウムのうちの何れかの金属からなる板部材である、ものである。

【0020】また、請求項6に係る本発明の半導体装置の製造方法は、請求項4において、上記補強板は、ポリイミド、ポリエチレンテレフタレート、ポリ塩化ビニール、ポリプロピレン、ポリテトラフルオロエチレンまたはアクリロニトリルブタジエンスチレンポリマーのうちの何れかの高分子材料からなる板部材である、ものである。

【0021】また、請求項7に係る本発明の半導体装置の製造方法は、請求項1乃至6の何れか一項において、上記集積回路チップは、ICカードに組み込まれる、ものである。

【0022】このように本発明は、応力や衝撃力等からチップを保護する補強板を、チップ上に容易に取り付けることができる。また、従来のようにチップ単位で位置合わせする必要がないため、このような半導体装置の製造を高歩留まりで実現することができる。

【0023】

【発明の実施の形態】次に、本発明の実施の形態について図を用いて説明する。

【0024】〔第1の実施の形態〕図1は、本発明の第1の実施の形態を示す断面図である。同図の(a)～(f)は、補強板の取り付けられたICチップの製造工程を順次示したものである。

【0025】まず、図1(a)に示すように、ウエハ1の主表面側に集積回路(Ic: Integrated Circuit)2を形成する。次いで、図1(b)に示すように、集積回路2の形成された面とは反対側の面、すなわち裏面側からウエハ1を研削、研磨またはエッチングする等して薄層化する。その際、完成後のICカードの厚さに応じて、ウエハの厚さを決定する。

【0026】例えば、完成後のICカードの厚さが0.76mmの場合は、ウエハ1をその厚さが0.2～0.

25mmになるまで薄層化する。また、ICカードの厚さが0.25mmの場合は、0.05mm程度になるまで薄くする。もちろん、ICカードの厚さが0.76mmの場合においても、ウエハ1の厚さをさらに薄くして0.05mm程度にしても構わない。また、図示していないが、ウエハ1を薄層化する際には、集積回路2が傷つかないようにするため、集積回路2の形成された面に保護テープ等を一時的に貼付するとよい。

【0027】次いで、図1(c)に示すように、薄層化されたウエハ1の裏面に補強板3を張り合わせる。この補強板3としては、ステンレス合金(以下、SUSという)、コバール、2・4アロイ等の金属板、または、銅、タングステン、モリブデンもしくはアルミニウム等の金属板を用いてもかまわない。

【0028】また、このような金属を用いる代わりに高分子樹脂を用いてもよく、例えばポリイミド、ポリエチレンテレフタレート(PET)、ポリ塩化ビニール、ポリプロピレン、ポリテトラフルオロエチレンまたはアクリロニトリルブタジエンスチレンポリマー(ABS)等からなる板部材を用いても、十分な補強効果を得ることができる。

【0029】ところで、これらの補強板の厚さは、完成後のICカードの厚さやICチップの実装される基板の厚さ等に応じて適宜変えればよいが、上述の基板厚さが0.76～0.25mm程度のICカードにおいては20～100μmの範囲とされる。また、これら補強板の取り付けには接着剤が用いられ、接着剤の材質としてはエポキシ系、シリコン系、ゴム系、アクリル系等の種々がある。さらに、接着方法についても複数種類があり、例えば常温接着型、熱硬化型、紫外線硬化型等があり、製造工程の条件に応じて何れを用いても構わない。そして、接着剤の厚さは10～100μm程度にされるのが一般的である。

【0030】このように、補強板をつけることによりICチップの見かけ上の厚さは、元の厚さよりも30～200μmまたはそれ以上厚くなる。そのため、ICカードの厚さとICチップの仕上がり厚さなどを考慮して、補強板の種類および厚さを選択する必要がある。

【0031】次いで、図1(d)に示すように、補強板3を取り付けたウエハ1を、枠体状のキャリア5に張設されたダイシングテープ4に貼る。次いで、図1(e)に示すように、ウエハ1をチップ毎にダイシングする。通常、半導体のダイシング用ブレード(刃)はダイヤモンド砥粒をボンド剤で固めたダイヤモンドブレードを使用する。しかし、ダイヤモンドブレードでは金属板をダイシングすることが困難なため、補強板3に金属板を用いた場合は、以下の方法でダイシングを行う。

【0032】まず、第1の方法としては、ダイヤモンドブレードで集積回路2およびウエハ1のみをダイシングした後に、立方晶窒化ホウ素(CBN)砥粒を固めたC

BNプレードを使って金属板をダイシングする。また、第2の方法としては、始めから高硬度のCBNプレードを用いることにより、集積回路2、ウエハ1および補強板3を同時にダイシングする。もちろん、本実施の形態においては、何れの方法を用いてもよい。

【0033】なお、図1(d)では補強板3側をダイシングテープ4に貼りつけたが、集積回路2の形成された面を、ダイシングテープ4に貼りつけてダイシングしてもかまわない。

【0034】次いで、図1(f)に示すように、ダイシングテープ4から補強板付きのICチップ6を取りはずす。このとき、ICチップ6には補強板3が取り付けられているため、ダイシングテープ4からICチップ6を取り外すとき、および、ICチップ6をICカード基板10に実装するときに、ICチップ6を破損する危険性を低減させることができる。

【0035】その後、図3に示すように、補強板3が取り付けられたICチップ6を、ICカード基板10上にフリップチップ実装法で実装してから bumps 8側をアンダーフィル樹脂9で封止することによりモジュールを作る。そして、このできあがったモジュールをカード基材11、12および13内に收容することにより、ICカード14ができあがる。

【0036】次に本発明のその他の実施の形態について説明する。

【0037】[第2の実施の形態] 図2は、本発明の第2の実施の形態を示す断面図である。同図において、

(a)～(g)は補強板の取り付けられたICチップの製造工程を順次示し、図1における同一符号のものは同一または同等のものを示す。まず、図2(a)に示すようにウエハ1にチップ毎に集積回路2を形成する。次いで、図2(b)に示すように、集積回路2の形成された面とは反対側の面を、研削、研磨またはエッチング等することにより、ウエハ1を薄層化する。ここまでは第1の実施の形態と同様である。また、図示していないが、ウエハ1を薄層化する際に、集積回路2の形成された面にテープ等を一時的に貼付する等して保護し、集積回路2を傷つけないようにするのはいうまでもない。

【0038】次いで、図2(c)に示すように、集積回路2の形成された面がダイシングテープ4と接着するようにして、ウエハ1を枠体状のキャリア5に張設されたダイシングテープ4に固定する。次いで、図2(d)に示すように、ウエハ1を切断してICチップ毎に分割する。このとき、集積回路2の形成された面を見ることができないが、予めウエハ1内のチップ配列の座標点を測定しておけば、集積回路2の形成された面が見えなくてもダイシングは可能である。また、赤外線顕微鏡を備えたダイシング装置であれば、ウエハ1の裏面からでも表面側の集積回路を観察しながらダイシングすることができる。

【0039】次いで、図2(e)に示すようにICチップ毎に分割された全てのウエハ1に、1個の補強板7を接着する。この補強板7の接着方法としては、接着シートをウエハ1に貼った上から補強板7を重ねて接着する方法を用いてもよいし、予め接着剤の付いた補強板7をウエハ1に張り合わせる方法の何れを用いても構わない。

【0040】また、補強板として用いられるポリイミドの中には、300℃程度に加熱しながら加圧すると、それ自身が接着性を有する種類もあるため、このような材料を使用する場合には、接着剤を必要としない。さらに、補強板7は1枚のシート状であり、またその大きさがウエハ1内に配列されたICチップのすべてを覆う大きさであれば、必ずしもウエハ1と同じ形状である必要はない。したがって、ウエハ1よりも広い面積を有していても構わない。

【0041】次いで、図2(f)に示すように、補強板7を各ICチップの輪郭に沿って切断する。その際、ICチップ6の破損を防止するため、プレード幅をウエハ1分割時に用いたプレード幅と同じか、またはそれよりも薄いものにすることが望ましい。最後に、図2(g)に示すように、補強板7の貼付されたICチップ6をダイシングテープ4から剥離する。

【0042】その後、図3に示すように、この補強板3が取り付けられたICチップ6を、ICカード基板10上にフリップチップ実装法で実装してから bumps 8側をアンダーフィル樹脂9で封止することによりモジュールを作る。そして、このできあがったモジュールをカード基材11、12および13内に收容することにより、ICカード14ができあがる。

【0043】以上のとおり第1の実施の形態では、ウエハ1にはICチップに分割される前に補強板3が貼り付けられているので、単にウエハ1を切断したときと比べ、分割後のICチップ6の側面に生じる傷の大きさおよび形状が異なったものになり易い。それに対して、第2の実施の形態では、補強板7を貼りつける前にウエハ1を分割してしまうため、従来のダイシング条件をそのまま適応できるという利点がある。

【0044】

【発明の効果】以上説明したとおり本発明は、薄層化された半導体基板に補強板を貼付してから、この半導体基板を複数の集積回路チップに分割している。そのため、本発明は応力や衝撃力等からチップを保護する補強板を、チップ上に容易に取り付けることができる。また、従来のようにチップ単位で位置合わせする必要がないため、このような半導体装置の製造を高歩留まりで実現することができる。

【図面の簡単な説明】

【図1】 本発明の一つの実施の形態を示す断面図である。

【図2】 本発明のその他の実施の形態を示す断面図である。

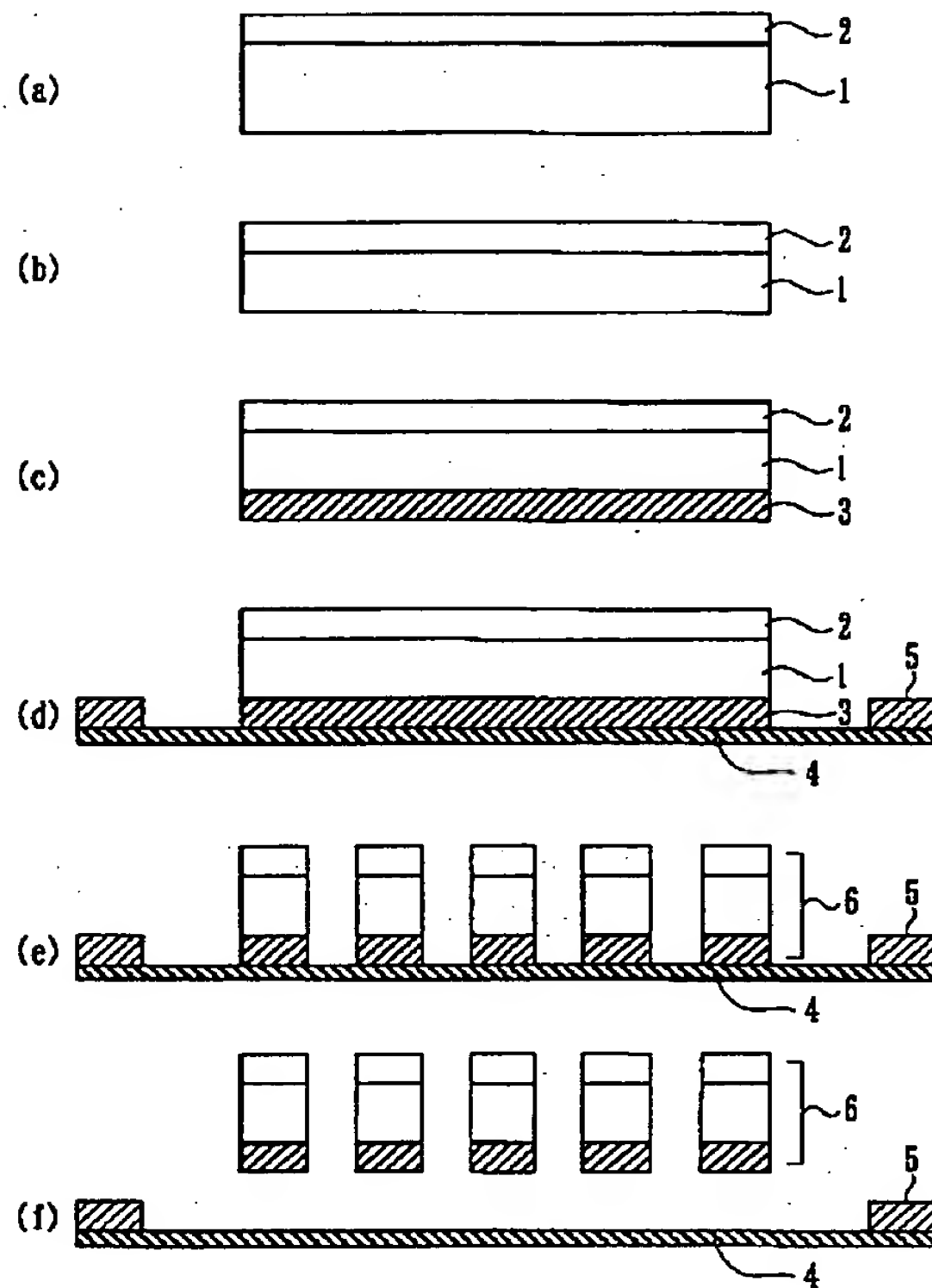
【図3】 本発明に係る ICカードを示す断面図である。

【図4】 従来の ICカードを示す断面図である。

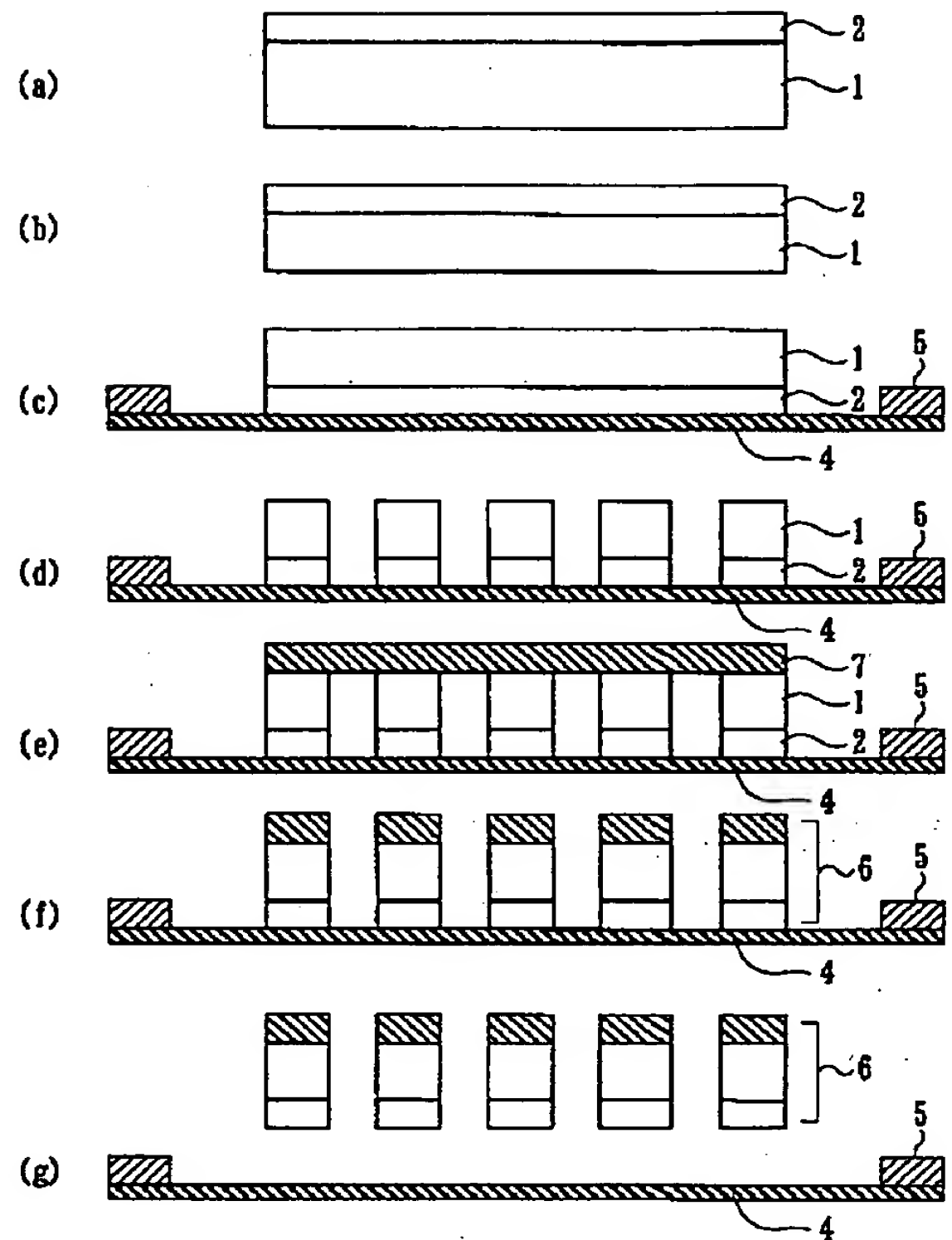
【符号の説明】

1…ウエハ、2…集積回路、3, 7…補強板、4…ダイシングテープ、5…キャリア、6…ICチップ、8…パンプ、9…アンダーフィル樹脂、10…ICカード基板、11, 12, 13…カード基材。

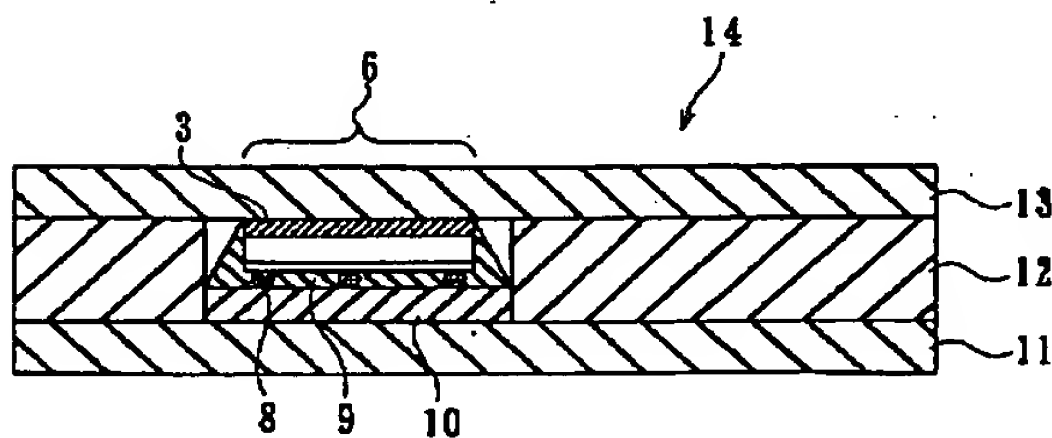
【図1】



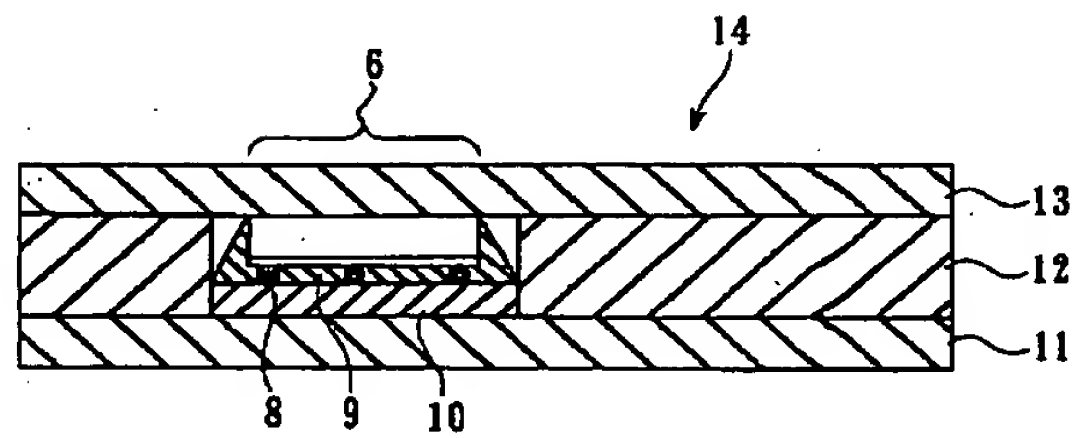
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 大藤 晋一

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 前田 正彦

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

Fターム(参考) 5B035 AA04 AA08 BB09 CA03